



(43) 國際公開日  
2004 年 12 月 23 日 (23.12.2004)

PCT

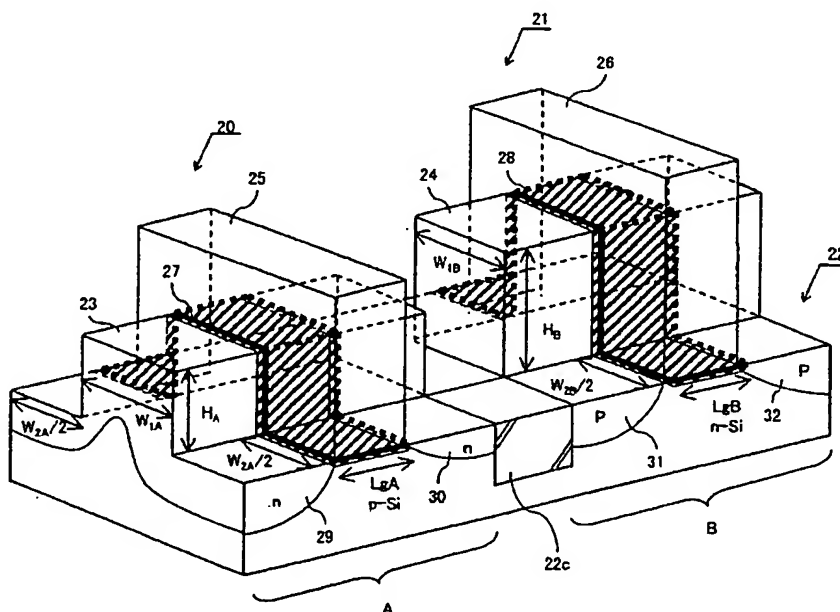
(10) 国際公開番号  
WO 2004/112142 A1

- |  |  |  |   |
|--|--|--|---|
| (51) 国際特許分類:   | H01L 27/092, H03G 11/00, H03K 5/00, H01L 29/78, 21/336 | (71) 出願人 および   | (72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋 2-1-17-301 Miyagi (JP).   |
| (21) 国際出願番号:   | PCT/JP2004/008219                                      | (72) 発明者; および  | (75) 発明者/出願人 (米国についてのみ): 西牟田 武史 (NISHIMUTA, Takefumi) [JP/JP]; 〒4488671 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内 Niigata (JP). 須川 成利 (SUGAWA, Shigetoshi) [JP/JP]; 〒9800861 宮城県仙台市青葉区川内元支倉35-2-102 Miyagi (JP). 寺本章伸 (TER-AMOTO, Akinobu) [JP/JP]; 〒9830037 宮城県仙台市宮城野区平成1丁目1-22-K6 Miyagi (JP). |
| (22) 国際出願日:  | 2004年6月11日 (11.06.2004)                                | (74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町8番地20 二番町ビル3F Tokyo (JP). |   |
| (25) 国際出願の言語:  | 日本語  |  |   |
| (26) 国際公開の言語:  | 日本語  |  |   |
| (30) 優先権データ:   | 特願2003-170105 2003年6月13日 (13.06.2003) JP               |  |   |
| (71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JI-DOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町2丁目1番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 Niigata (JP). |  |  |   |

〔統葉有〕

(54) Title: LIMITER CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT THEREOF

(54) 発明の名称: リミッタ回路及びその半導体集積回路



**(57) Abstract:** A rectangular parallelepiped protrusion part (21) having a height  $H_B$  and a width  $W_B$  is formed on a silicon substrate, and a gate oxide film is formed on portions of the top and side wall surfaces of the protrusion part (21). A source and a drain are formed on the two opposite sides of a gate electrode (26), thereby forming a MOS transistor. A differential amplifier circuit comprising MOS transistors (61,62) is used to configure a limiter circuit. In this way, the limiter circuit can exhibit a greater gain.

〔統葉有〕



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: シリコン基板上に高さ $H_B$ で、幅が $W_B$ の直方体状の突出部21を形成し、突出部21の頂面及び側壁面の一部にゲート酸化膜を形成する。ゲート電極26の両側にソースとドレインを形成してMOSトランジスタを形成する。MOSトランジスタ61と62とからなる差動増幅回路でリミッタ回路を構成する。これにより、リミッタ回路の利得を大きくとれるようにする。